

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-16839

(P 2002-16839 A)

(43) 公開日 平成14年1月18日 (2002. 1. 18)

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4M118

H 0 1 L 27/146

H 0 1 L 27/14

P 5C024

A

審査請求 未請求 請求項の数 12

O L

(全 18 頁)

(21) 出願番号 特願2000-197745 (P2000-197745)

(22) 出願日 平成12年6月30日 (2000. 6. 30)

(71) 出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72) 発明者 萩原 義雄

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫 (外1名)

Fターム (参考) 4M118 AA05 AB01 DC08 DD10

5C024 CX04 GX03 GX16 GY35 GY39

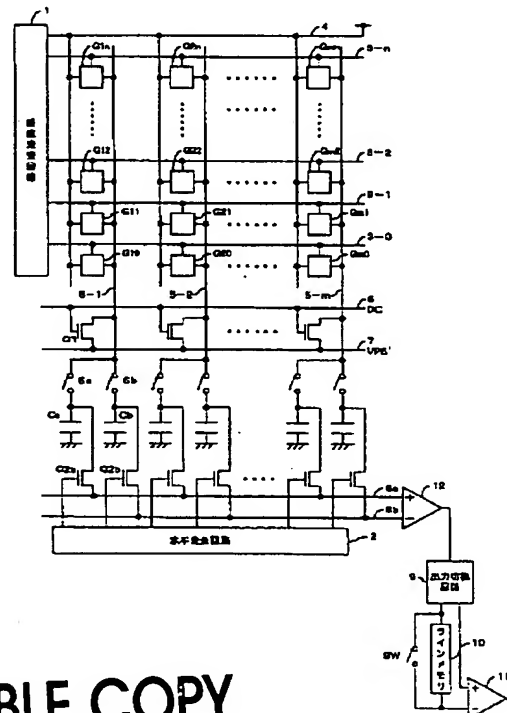
GZ36 HX29 HX40 HX50 HX57

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 本発明は、固体撮像装置の回路構成などに起因してその出力信号に生じるバラツキによる固体パターンノイズをキャンセルすることが可能な固体撮像装置を提供することを目的とする。

【解決手段】 まず、補正用画素 $G_{10} \sim G_{m0}$ からの補正データとなる出力がラインメモリ 10 に与えられて、ラインメモリ 10 内に各列毎の補正データとして格納される。そして、通常画素 $G_{11} \sim G_{mn}$ において、画像データとなる出力が出力されるとき、差動増幅回路 11 の非反転入力端子に与えられる画像データを出力する通常画素と同一列に配された補正用画素からの補正データがラインメモリ 10 より差動増幅回路 11 の反転入力端子に与えられる。このようにして、各通常画素からの画像データが、差動増幅回路 11 において、ラインメモリ 10 に格納された補正データに基づいて補正されて出力される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 入射光量に応じた電気信号を発生する通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とを備えたことを特徴とする固体撮像装置。

【請求項 2】 入射光量に応じた電気信号を発生する複数の画素を備えた固体撮像装置において、前記複数の画素には、通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とが含まれることを特徴とする固体撮像装置。

【請求項 3】 入射光量に応じた電気信号を発生するとともにマトリクス状に配された複数の通常画素と、各通常画素列に対応して同一行上に並んで配されるとともに各通常画素の出力を補正するための補正信号をそれぞれ出力する複数の補正用画素とを備えたことを特徴とする固体撮像装置。

【請求項 4】 画素列毎に設けられ、同一列に配された通常画素および補正用画素からの出力信号を導出する複数の出力信号線をさらに備えたことを特徴とする請求項 3 の固体撮像装置。

【請求項 5】 補正用画素のサイズは通常画素のサイズ以下であることを特徴とする請求項 1 ～ 4 のいずれかに記載の固体撮像装置。

【請求項 6】 通常画素と補正用画素とが異なる回路構成を有することを特徴とする請求項 1 ～ 5 のいずれかに記載の固体撮像装置。

【請求項 7】 通常画素は光電変換素子を含み、補正用画素は光電変換素子を含まないことを特徴とする請求項 6 記載の固体撮像装置。

【請求項 8】 通常画素と補正用画素とが同じ回路構成を有することを特徴とする請求項 1 ～ 5 のいずれかに記載の固体撮像装置。

【請求項 9】 通常画素と補正用画素とに異なる電圧が印加されることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】 通常画素は入射光量に対して自然対数的な出力信号を発生することを特徴とする請求項 1 ～ 9 のいずれかに記載の固体撮像装置。

【請求項 11】 通常画素は入射光量に対して自然対数的な出力信号を発生する第 1 状態と、入射光量に対して線形的な出力信号を発生する第 2 状態とに切り換え可能であることを特徴とする請求項 1 ～ 9 のいずれかに記載の固体撮像装置。

【請求項 12】 通常画素の出力を補正用画素の出力で補正する補正手段をさらに備えたことを特徴とする請求項 1 ～ 11 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置に関するものであり、特に画素を 2 次元に配置した固体撮像

装置に関する。

【0002】

【従来の技術】 従来より、フォトダイオードなどの感光素子を有した固体撮像装置（以下、「エリアセンサ」とする）は、各画素の出力信号を増幅するための定電流源が各列毎に設けられる。このようなエリアセンサを図 15 に示す。

【0003】 図 15 において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。51 は垂直走査回路であり、行（ライン）53-1、53-2、…、53-n を順次走査していく。52 は水平走査回路であり、画素から出力信号線 55-1、55-2、…、55-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。54 は電源ラインである。

【0004】 又、出力信号線 55-1、55-2、…、55-m ごとに N チャンネルの MOS トランジスタ Q1、Q2 が図示の如く 1 組ずつ設けられている。出力信号線 55-1 を例にとりて説明すると、MOS トランジスタ Q1 のゲートは直流電圧線 56 に接続され、ドレインは出力信号線 55-1 に接続され、ソースは直流電圧 $V_{PS'}$ のライン 57 に接続されている。一方、MOS トランジスタ Q2 のドレインは出力信号線 55-1 に接続され、ソースは最終的な信号線 58 に接続され、ゲートは水平走査回路 52 に接続されている。

【0005】 図 15 のエリアセンサに設けられた画素 $G_{11} \sim G_{mn}$ から、それらの画素で発生した光電荷に基づく出力電流が出力信号線 55-1 ～ 55-m に出力される。この出力信号線 55-1 ～ 55-m にドレインが接続された MOS トランジスタ Q1 のゲートには直流電圧 DC が常時印加されているため、MOS トランジスタ Q1 は抵抗又は定電流源と等価であり、出力信号線 55-1 ～ 55-m に出力される出力電流を電圧増幅する。

【0006】 MOS トランジスタ Q2 は水平走査回路 52 によって制御され、列の選択を行うスイッチ素子として動作する。このように MOS トランジスタ Q1 が構成されることにより信号のゲインを大きく出力することができる。従って、各画素からの出力信号が小さい場合でも、この MOS トランジスタ Q1 を含む増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。

【0007】

【発明が解決しようとする課題】 しかしながら、上記回路構成では以下のような問題があった。図 15 のように、各画素から与えられる出力信号は、各列毎に接続された MOS トランジスタ Q1 によって増幅される。よって、この MOS トランジスタ Q1 の特性にバラツキがあると、列毎に各画素から出力される出力信号の増幅度にバラツキが生じる。そのため、同一列に配された各画素間に出力のバラツキはないが、同一行に配された各画素間の出力に対する増幅度が異なるため、同一行に配され

た各画素間の出力にバラツキが生じる。そのため、このようなエリアセンサより出力される出力信号が画像として再生されたとき、各列毎に接続されたMOSトランジスタQ1の増幅度のバラツキに起因して、縦縞のような固定パターンノイズとなって現れる。

【0008】このような問題を鑑みて、本発明は、固体撮像装置の回路構成などに起因してその出力信号に生じるバラツキによる固定パターンノイズをキャンセルすることが可能な固体撮像装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するために、請求項1に記載の固体撮像装置は、入射光量に応じた電気信号を発生する通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とを備えたことを特徴とする。

【0010】請求項2に記載の固体撮像装置は、入射光量に応じた電気信号を発生する複数の画素を備えた固体撮像装置において、前記複数の画素には、通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とが含まれることを特徴とする。

【0011】請求項3に記載の固体撮像装置は、入射光量に応じた電気信号を発生するとともにマトリクス状に配された複数の通常画素と、各通常画素列に対応して同一行上に並んで配されるとともに各通常画素の出力を補正するための補正信号をそれぞれ出力する複数の補正用画素とを備えたことを特徴とする。

【0012】これらの固体撮像装置において、1フィールド毎に撮像を行う際、まず、補正用画素から補正信号を出力するとともに、出力した補正信号をメモリなどに格納する。そして、通常画素が撮像動作を行うことによって出力される電気信号毎に、格納した補正信号で補正する。

【0013】又、請求項3に記載の固体撮像装置において、請求項4に記載するように、画素列毎に設けられ、同一列に配された通常画素および補正用画素からの出力信号を導出する複数の出力信号線をさらに備えても構わない。

【0014】このような固体撮像装置によると、通常画素より出力信号線に出力された出力信号が、この出力信号を出力した通常画素と同一の出力信号線に接続された補正用画素から出力された補正信号に基づいて補正される。よって、列毎に補正用画素からの補正信号で通常画素からの出力信号が補正されて外部に出力されるため、各画素が列毎に出力信号線に接続されることに起因して発生する固定パターンノイズである縦縞を防ぐことができる。

【0015】請求項1～請求項4に記載の固体撮像装置において、請求項5に記載するように、補正用画素のサイズは通常画素のサイズ以下としても構わない。又、請

求項6に記載するように、通常画素と補正用画素とが異なる回路構成を有する用にしても構わない。又、請求項7に記載するように、通常画素は光電変換素子を含み、補正用画素は光電変換素子を含まない用にしても構わない。更に、通常画素と補正用画素とが同じ回路構成を有する用にしても構わない。

【0016】即ち、前記通常画素が、入射光量に応じて電気信号を発生する光電変換回路と、該光電変換回路より出力される電気信号を増幅して前記出力信号線に出力する出力増幅回路と、を有するとき、前記補正用画素が、前記通常画素と同様の回路構成の出力増幅回路を有するとともに、該出力増幅回路の入力側に一定の入力信号が与えられる用にしても構わない。

【0017】又、前記補正用画素に前記通常画素と同様の回路構成の光電変換回路を設けて、前記補正用画素と前記通常画素をほぼ同一のポテンシャル状態となる用にしても構わない。又、前記補正用画素において、前記光電変換回路と前記出力増幅回路との接続を切断し、前記光電変換回路から出力が前記出力増幅回路に与えられないようにし、前記補正信号に対して、前記光電変換回路からの出力の影響が与えられない用にしても構わない。

【0018】更に、前記補正用画素において、前記光電変換回路が、前記通常画素の光電変換回路の一部の回路のみで構成されるようにして、前記補正用画素のサイズを小さくすることで、前記補正用画素が設けられる部分の省スペース化を図ることで、固体撮像装置全体のサイズを小さくすることができる。又、前記補正用画素を、前記出力増幅回路のみで構成することで、前記補正用画素のサイズを更に小さくすることができる。

【0019】又、請求項9に記載の固体撮像装置は、請求項8に記載の固体撮像装置において、通常画素と補正用画素とに異なる電圧が印加されることを特徴とする。

【0020】又、請求項10に記載の固体撮像装置は、請求項1～9のいずれかに記載の固体撮像装置において、通常画素は入射光量に対して自然対数的な出力信号を発生することを特徴とする。

【0021】又、請求項11に記載の固体撮像装置は、請求項1～9のいずれかに記載の固体撮像装置において、通常画素は入射光量に対して自然対数的な出力信号を発生する第1状態と、入射光量に対して線形的な出力信号を発生する第2状態とに切換え可能であることを特徴とする。

【0022】請求項12に記載の固体撮像装置は、請求項1～11のいずれかに記載の固体撮像装置において、通常画素の出力を補正用画素の出力で補正する補正手段をさらに備えたことを特徴とする。

【0023】このような固体撮像装置において、補正手段を、通常画素からの出力が非反転入力端子に入力されるとともに、補正用画素からの出力が反転入力端子に入

力される差動増幅回路としても構わない。

【0024】

【発明の実施の形態】＜固体撮像装置（エリアセンサ）の構成の1例＞図1は本発明の実施形態である二次元のMOS型固体撮像装置（以下、「エリアセンサ」とする）の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された撮像動作を行う画素（以下、「通常画素」とする）を示している。又、 $G_{10} \sim G_{m0}$ は、同一列に設けられた前記通常画素からの出力を補正するための補正データを出力する画素（以下、「補正用画素」とする）を示している。1は垂直走査回路であり、行（ライン）3-0、3-1、3-2、…、3-nを順次走査していく。2は水平走査回路であり、画素から出力信号線5-1、5-2、…、5-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。4は電源ラインである。各画素に対し、上記ライン3-0、3-1、3-2…、3-nや出力信号線5-1、5-2…、5-m、電源ライン4だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図3以降の各実施形態において示している。

【0025】出力信号線5-1、5-2、…、5-mごとにNチャネルのMOSトランジスタQ1、Q2a、Q2b及びスイッチSa、Sb及びキャパシタCa、Cbが図示の如く1組ずつ設けられている。出力信号線5-1を例にとって説明すると、MOSトランジスタQ1のゲートは直流電圧線6に接続され、ドレインは出力信号線5-1に接続され、ソースは直流電圧VPS'のライン7に接続されている。一方、MOSトランジスタQ2aのドレインはスイッチSaを介して出力信号線5-1に接続され、ソースは最終的な信号線8aに接続され、ゲートは水平走査回路2に接続されている。又、MOSトランジスタQ2bのドレインはスイッチSbを介して出力信号線5-1に接続され、ソースは最終的な信号線8bに接続され、ゲートは水平走査回路2に接続されている。更に、一端が接地されたキャパシタCaの他端がスイッチSaの一端とMOSトランジスタQ2aのドレインとの接続ノードに接続されるとともに、一端が接地されたキャパシタCbの他端がスイッチSbの一端とMOSトランジスタQ2bのドレインとの接続ノードに接続される。

【0026】通常画素 $G_{11} \sim G_{mn}$ 及び補正用画素 $G_{10} \sim G_{m0}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタT2が設けられている。MOSトランジスタT2と上記MOSトランジスタQ1との接続関係は図2

(a)のようになる。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタT2のドレインに接続される直流電圧VPD'との

関係は $VPD' > VPS'$ であり、直流電圧VPS'は例えばグラウンド電圧（接地）である。この回路構成は上段のMOSトランジスタT2のゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図2(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタT2から増幅出力されるのは電流であると考えてよい。

【0027】MOSトランジスタQ2（このMOSトランジスタQ2は、図1のMOSトランジスタQ2a、Q2bを表す）は水平走査回路2によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタT3も設けられている。このMOSトランジスタT3も含めて表わすと、図2(a)の回路は正確には図2(b)のようになる。即ち、MOSトランジスタT3がMOSトランジスタQ1とMOSトランジスタT2との間に挿入されている。ここで、MOSトランジスタT3は行の選択を行うものであり、トランジスタQ2は列の選択を行うものである。

【0028】図2のように構成することにより信号のゲインを大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線5-1、5-2、…、5-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0029】更に、信号線8aが差動増幅回路12の非反転入力端子に接続されるとともに、信号線8bが差動増幅回路12の反転入力端子に接続される。そして、この差動増幅回路12の出力が出力切換回路9に入力され、出力切換回路9によって、補正用画素 $G_{10} \sim G_{m0}$ からの出力がラインメモリ10に入力されるとともに、通常画素 $G_{11} \sim G_{mn}$ からの出力が差動増幅回路11の非反転入力端子に入力される。又、ラインメモリ10に記憶された補正用画素 $G_{10} \sim G_{m0}$ の出力が、差動増幅回路11の反転入力端子に与えられる。又、ラインメモリ11の入力側と出力側との間にスイッチSWが接続される。

【0030】このような構成のエリアセンサの動作について、説明する。1フレーム分の画像を撮像するとき、まず、垂直走査回路1より、ライン3-0を介して、補正用画素 $G_{10} \sim G_{m0}$ 内に設けられた後述するMOSトランジスタT3のゲートに信号φVが与えられる。このとき、出力切換回路9によって、差動増幅回路12より与

えられる出力信号がラインメモリ10に送出されるように、差動増幅回路12の出力側とラインメモリ10の入力側が接続されるとともに、スイッチSWがOFFとされる。

【0031】このとき、まず、出力信号線5-1、5-2、…5-mのそれぞれに接続されたスイッチSaが同時にONとされることによって、キャパシタCaに補正用画素G10~Gm0内のMOSトランジスタT3がONすることによって出力される補正データが格納される。次に、スイッチSaをOFFにした後スイッチSbをON

することで、補正用画素G10~Gm0内のMOSトランジスタT3をOFFすることによって、又は、補正用画素G10~Gm0をリセットすることによって得られた各補正用画素のノイズ成分が、キャパシタCbに格納される。

【0032】そして、出力信号線5-1~5-m毎に水平走査回路2によって、MOSトランジスタQ2a、Q2bが順にONとされることによって、補正用画素G10、G20、…Gm0からの補正データが順に信号線8aを介して差動増幅回路12の非反転入力端子に、又、補正用画素G10、G20、…Gm0からのノイズ成分が順に信号線8bを介して差動増幅回路12の反転入力端子に、それぞれ入力される。この差動増幅回路12において、補正用画素G10~Gm0からの補正データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された補正データが、出力切換回路9を介して、ラインメモリ10に与えられる。このようにすることで、ラインメモリ10内に、補正用画素G10~Gm0からの補正データが補正用画素G10、G20、…Gm0の順に格納される。

【0033】次に、出力切換回路9によって、差動増幅回路12より与えられる出力信号が差動増幅回路11に送出されるように、差動増幅回路12と差動増幅回路11の非反転入力端子が接続されるとともに、ラインメモリ10から出力された補正データが再びラインメモリ10に与えられるように、スイッチSWがONとされる。そして、まず、垂直走査回路1により、ライン3-1を介して、通常画素G11~Gm1内に設けられた後述するMOSトランジスタT3のゲートに信号φVが与えられる。

【0034】このとき、まず、出力信号線5-1、5-2、…5-mのそれぞれに接続されたスイッチSaが同時にONとされることによって、キャパシタCaに通常画素G11、G21、…Gm1内のMOSトランジスタT3がONすることによって出力される画像データが格納される。次に、スイッチSaをOFFにした後スイッチSbをONすることで、通常画素G11~Gm1内のMOSトランジスタT3をOFFすることによって、又は、通常画素G11~Gm1内のをリセットすることによって得られた各通常画素のノイズ成分が、キャパシタCbに格納される。

【0035】そして、出力信号線5-1~5-m毎に水平走査回路2によって、MOSトランジスタQ2a、Q2bが順にONとされることによって、通常画素G11、G21、…Gm1からの画像データが順に信号線8aを介して差動増幅回路12の非反転入力端子に、又、通常画素G11、G21、…Gm1からのノイズ成分が順に信号線8bを介して差動増幅回路12の反転入力端子に、それぞれ入力される。この差動増幅回路12において、通常画素G11~Gm1からの画像データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された画像データが、出力切換回路9を介して、差動増幅回路11の非反転入力端子に与えられる。更に、このとき同時に、ラインメモリ10に格納された補正用画素G10~Gm0の補正データが、補正用画素G10、G20、…Gm0の順に、ラインメモリ10の出力側から差動増幅回路11の反転入力端子及びラインメモリ10の入力側に与えられる。

【0036】このように補正データと画像データが入力されるとき、まず、差動増幅回路11では、非反転入力端子に通常画素G11からの画像データが入力されるとともに、反転入力端子に補正用画素G10からの補正データが入力されると、画像データと補正データの差分がとられることによって補正された通常画素G11の画像データを出力する。このとき、ラインメモリ10の入力側に補正用画素G10の補正データがスイッチSWを介して与えられるため、ラインメモリ10は、補正用画素G20、G30、…Gm0、G10の順に補正データが格納される。

【0037】そして、差動増幅回路11より補正された通常画素G11の画像データが出力されると、次に、非反転入力端子に通常画素G21からの画像データが入力されるとともに、反転入力端子に補正用画素G20からの補正データが入力され、画像データと補正データの差分がとられることによって補正された通常画素G21の画像データを出力する。又、同様に、ラインメモリ10の入力側に補正用画素G20の補正データがスイッチSWを介して与えられるため、ラインメモリ10は、補正用画素G30、G40、…Gm0、G10、G20の順に補正データが格納される。

【0038】そして、差動増幅回路11に入力される通常画素G31~Gm1の画像データ及び補正用画素G30~Gm0の補正データについても、このような動作が繰り返行われることによって、補正された通常画素G31~Gm1の画像データが、順次、差動増幅回路11より出力される。又、補正された通常画素Gm1の画像データが差動増幅回路11より出力されたとき、ラインメモリ10には、補正用画素G10、G20、…Gm0の順に補正データが格納される。

【0039】補正された通常画素G11~Gm1の画像データが差動増幅回路11より出力されると、垂直走査回路1により、ライン3-2を介して、通常画素G12~Gm2

内に設けられた後述するMOSトランジスタT3のゲートに信号 ϕV が与えられる。このとき、まず、出力信号線5-1, 5-2, …5-mのそれぞれに接続されたスイッチSaが同時にONとされることによって、キャパシタCaに通常画素G12~Gm2内の画像データが格納される。次に、スイッチSaをOFFにした後スイッチSbをONすることで、通常画素のノイズ成分が、キャパシタCbに格納される。

【0040】そして、水平走査回路2によって、出力信号線5-1, 5-2, …5-mのそれぞれに接続されたMOSトランジスタQ2a, Q2bが順にONとされることによって、通常画素G12, G22, …Gm2からの画像データ及びノイズ成分が順に、信号線8a, 8bを介して、差動増幅回路12の非反転入力端子と反転入力端子に与えられる。この差動増幅回路12において、通常画素G12~Gm2からの画像データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された画像データが、出力切換回路9を介して、差動増幅回路11の非反転入力端子に与えられる。更に、通常画素G11~Gm1からの画像データが出力されるときと同様に、このとき同時に、ラインメモリ10に格納された補正用画素G10~Gm0の補正データが、補正用画素G10, G20, …Gm0の順に、ラインメモリ10の出力側から差動増幅回路11の反転入力端子及びラインメモリ10の入力側に与えられる。

【0041】このようにして、差動増幅回路11より、補正用画素G10, G20, …Gm0の補正データによって補正された通常画素G12, G22, …Gm2の画像データが順次、出力される。又、同時に、ラインメモリ10の出力側より出力される補正用画素G10, G20, …Gm0の補正データが、スイッチSWを介して、ラインメモリ10の入力側に入力されるため、補正された通常画素Gm2の画像データが出力されたとき、ラインメモリ10には、補正用画素G10, G20, …Gm0の順に、補正データが格納される。

【0042】そして、上述したような動作が、垂直走査回路1によって、ライン3-3, 3-4, …3-nを介して、通常画素G13~Gm3, G14~Gm4, …G1n~Gmnに信号 ϕV が与えられる度に行うことによって、差動増幅回路11より補正された通常画素G13~Gmnの画像データが順次出力される。

【0043】尚、上述した構成及び動作は、以下に示す第1~第4の実施形態で共通の構成及び動作である。

【0044】＜第1の実施形態＞図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第1の実施形態について、図面を参照して説明する。図3は、本実施形態における通常画素の構成を示す回路図である。又、図4~図6は、本実施形態における補正用画素の構成を示す回路図である。

【0045】1. 通常画素の構成

図3の画素において、直流電圧VPDがカソードに印加されたフォトダイオードPDのアノードにMOSトランジスタT1のドレイン及びゲートとMOSトランジスタT2のゲートとが接続され、このMOSトランジスタT2のソースにMOSトランジスタT3のドレインが接続される。又、MOSトランジスタT3のソースには信号線5（図1の信号線5-1~5-mに相当する）が接続される。尚、MOSトランジスタT1~T3は、そのバックゲートが接地されたNチャネルのMOSトランジスタである。MOSトランジスタT2のドレインには、直流電圧VPDが与えられ、MOSトランジスタT1のソースには直流電圧VPSが与えられる。又、MOSトランジスタT3のゲートに信号 ϕV が与えられる。又、MOSトランジスタT1及びフォトダイオードPDによって光電変換回路が形成されるとともに、MOSトランジスタT2, T3によって出力増幅回路が形成される。

【0046】このような回路構成の画素において、フォトダイオードPDに光が入射されると、光電流が発生し、MOSトランジスタのサブスレッショルド特性により、MOSトランジスタT1, T2のゲートに光電流を自然対数的に変換した値の電圧が発生する。そして、MOSトランジスタT3にパルス信号 ϕV を与えることによって、MOSトランジスタT2は、そのゲート電圧に応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0047】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、フォトダイオードPDへの入射光量が自然対数的に変換された信号となる。この画像データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0048】このように、キャパシタCaに画像データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。

【0049】2. 補正用画素の構成の第1例
通常画素が図3のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図4の構成において、図3の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0050】図4の画素は、図3の画素に、ドレインがMOSトランジスタT1のドレインとゲート及びMOSトランジスタT2のゲートに接続されたMOSトランジスタT4が設けられた構成の画素である。このMOSトランジスタT4は、ソースに直流電圧VDが与えられる

とともに、ゲートに信号φ VRSが与えられる。又、MOSトランジスタT4は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。

【0051】このような構成の画素において、まず、信号φ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、フォトダイオードPDのアノード及びMOSトランジスタT1のゲートとドレイン及びMOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号φ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0052】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0053】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φ VRSはローレベルである。

【0054】このようにして出力された補正データは、信号線5-1～5-m(図1)に接続されたMOSトランジスタQ1(図1)の特性のバラツキを表す信号となる。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

【0055】3. 補正用画素の構成の第2例

通常画素が図3のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図5の構成において、図4の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0056】図5の画素は、図4の画素と比べて、MOSトランジスタT1のドレイン及びゲートの接続ノードと、MOSトランジスタT2のゲートとMOSトランジスタT4のドレインとの接続ノードとが接続されていない点が異なる。よって、光電変換回路を構成するMOSトランジスタT1のゲート及びドレインの接続ノードに現れる電圧が出力増幅回路を構成するMOSトランジスタT2のゲートに与えられない。

【0057】このような構成の画素において、図4の画素と同様、まず、信号φ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号φ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じたソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0058】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0059】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φ VRSはローレベルである。

【0060】このようにして出力された補正データは、信号線5-1～5-m(図1)に接続されたMOSトランジスタQ1(図1)の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データが、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0061】4. 補正用画素の構成の第3例

通常画素が図3のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図6の構成において、図5の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0062】図6の画素は、図5の画素より光電変換回路を構成するMOSトランジスタT1とフォトダイオードPDを削除された構成であり、MOSトランジスタT2、T3で構成される出力増幅回路とMOSトランジスタT4で構成される。このような構成の画素において、図5の画素と同様、まず、信号φ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス

信号φVを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0063】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0064】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φVRSはローレベルである。

【0065】このようにして出力された補正データは、信号線5-1〜5-m（図1）に接続されたMOSトランジスタQ1（図1）の特性のバラツキを表す信号となる。尚、このように、本実施形態における第2例（図5）の回路構成の補正用画素と比べて、光電変換回路を削除した構成とすることによって、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、通常画素のサイズが補正用画素のサイズに律速されない。

【0066】尚、図3のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を受けた値として出力される。このとき、本実施形態の第1例〜第3例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦縞などの固定パターンノイズを除去することができる。

【0067】＜第2の実施形態＞図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態における通常画素の構成を示す回路図である。以下、説明するように図7の回路が補正画素の構成となる場合もある。又、図8は、本実施形態における補正用画素構成の一例を示す回路図である。

【0068】1. 通常画素の構成

図7の画素において、図4の画素と同一の目的で使用される素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。この図7の画素は、図4と同様の

回路構成となるとともに、MOSトランジスタT1のソースに信号φVPSが入力される。この信号φVPSは、2値的に変化するものとし、MOSトランジスタT1、T2をサブスレッショルド領域で動作させるための電圧をローレベルとし、直流電圧VPDと略等しい電圧をハイレベルとする。又、第1の実施形態と同様、MOSトランジスタT1とフォトダイオードPDによって光電変換回路が構成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が構成される。

【0069】このような回路構成の通常画素は、信号φVPSの電圧値を変更することによって、フォトダイオードPDで発生した光電流に対して自然対数的に又は線形的に変換した画像データを出力することができる。このように光電流に対して自然対数的又は線形的に画像データを出力するそれぞれの場合の動作について、以下に説明する。

【0070】（a）光電流に対して自然対数的に変換した画像データを出力する場合

まず、信号φVPSをローレベルとし、MOSトランジスタT1、T2がサブスレッショルド領域で動作するようにバイアスされる。又、MOSトランジスタT4のゲートには、常に、ローレベルの信号φVRSが与えられ、MOSトランジスタT4はOFFとなり、実質的に存在しないことと等価の状態になる。

【0071】このようにすることで、実質動作を行うのは、第1の実施形態と同様、フォトダイオードPDとMOSトランジスタT1〜T3である。よって、第1の実施形態と同様に、フォトダイオードPDに光が入射されると光電流が発生し、MOSトランジスタT1、T2のゲートに光電流を自然対数的に変換した値の電圧が発生する。そして、MOSトランジスタT3にパルス信号φVを与えることによって、MOSトランジスタT2より出力電流が出力される。

【0072】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データがフォトダイオードPDへの入射光量が自然対数的に変換された値に比例した電圧信号として現れる。この画像データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0073】このように、キャパシタCaに画像データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。

【0074】（b）光電流に対して線形的に変換した画像データを出力する場合

まず、信号φVPSをハイレベルとし、MOSトランジスタT1をカットオフ状態にする。そして、MOSトラン

ジスタT4のゲートにローレベルの信号 ϕ VRSを与えて、MOSトランジスタT4はOFFとする。このような状態において、フォトダイオードPDに光が入射すると光電流が発生する。このとき、MOSトランジスタT1のバックゲートとゲートとの間やフォトダイオードPDの接合容量でキャパシタを構成するので、光電流による電荷がMOSトランジスタT1のゲート及びドレインに蓄積される。よって、MOSトランジスタT1、T2のゲート電圧が前記光電流を積分した値に比例した値になる。

【0075】そして、MOSトランジスタT3のゲートにパルス信号 ϕ Vを与えて、MOSトランジスタT3をONにすると、MOSトランジスタT2のゲートにかかる電圧に比例したソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、フォトダイオードPDへの入射光量が線形的に変換した値となる。この画像データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。画像データがキャパシタCaに格納されると、スイッチSaがOFFになる。

【0076】このようにして入射光量に比例した画像データが出力されると、MOSトランジスタT3をOFFにするとともに、MOSトランジスタT4のゲートにハイレベルの信号 ϕ VRSを与えることで、MOSトランジスタT4をONとして、フォトダイオードPD、MOSトランジスタT1のドレイン電圧、及びMOSトランジスタT1、T2のゲート電圧を初期化する。このとき、MOSトランジスタT3を再びONとするとともにスイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。このようにノイズ成分が出力されると、スイッチSb及びMOSトランジスタT3がOFFとなる。

【0077】2. 補正用画素の構成の第1例

通常画素が図7のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。本例における補正用画素は、通常画素と同様、図7のような回路構成の画素である。このように図7のような構成の補正用画素を用いたときの動作について、以下に説明する。

【0078】(a) 光電流に対して自然対数的に変換した画像データを出力する場合

通常画素が自然対数的に変換した出力信号を画像データとして出力するとき、この画像データを補正するための補正データを出力する補正用画素において、通常画素と同様に、信号 ϕ VPSをローレベルとして、MOSトラン

ジスタT1がサブスレッショルド領域で動作するようにバイアスされる。そして、第1の実施形態と同様に、まず、信号 ϕ VRSをハイレベルにした後、パルス信号 ϕ VをMOSトランジスタT3のゲートに与えることによって、補正用データを出力信号線5に出力する。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0079】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号 ϕ VRSはローレベルである。

【0080】(b) 光電流に対して線形的に変換した画像データを出力する場合

通常画素が線形的に変換した出力信号を画像データとして出力するとき、この画像データを補正するための補正データを出力する補正用画素において、通常画素と同様に、信号 ϕ VPSをハイレベルとして、MOSトランジスタT1をカットオフ状態にする。そして、第1の実施形態と同様に、まず、信号 ϕ VRSをハイレベルにした後、パルス信号 ϕ VをMOSトランジスタT3のゲートに与えることによって、補正用データを出力信号線5に出力する。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0081】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号 ϕ VRSはローレベルである。

【0082】このようにして、通常画素の動作にあわせて、信号 ϕ VPSの電圧値を変更し、通常画素と同等の状態で作動させたときの出力信号を補正データとして出力する。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

【0083】3. 補正用画素の構成の第2例通常画素が図7のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図8の構成において、図7の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0084】図8の画素は、図7の画素と比べて、MOSトランジスタT1のドレイン及びゲートの接続ノードと、MOSトランジスタT2のゲートとMOSトランジスタT4のドレインとの接続ノードとが接続されてい

い点が異なる。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第2例（図5）のような回路構成の補正用画素と通常画素（図3）との関係に対応する。

【0085】このように構成したとき、図7のような回路構成の補正用画素（第1例）と同様、通常画素が対数変換した画像データを出力するときは、信号φVPSをローレベルにしてMOSトランジスタT1がサブスレッショルド領域で動作するようにバイアスする。一方、通常画素が線形変換した画像データを出力するときは、信号φVPSをハイレベルにしてMOSトランジスタT1をカットオフ状態とする。

【0086】このようにして、通常画素の動作にあわせて、信号φVPSの電圧値を変更してMOSトランジスタT1の状態を切り換えるとともに、第1例と同様に、通常画素と同等の状態で作動させたときの出力信号を補正データとして出力する。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0087】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φVRSはローレベルである。

【0088】尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0089】4. 補正用画素の構成の第3例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図8）の回路構成の補正用画素と比べて、光電変換回路を削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0090】尚、図7のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を

受けた値として出力される。このとき、本実施形態の第1例～第3例で説明したような構成の補正用画素より補正データが出力される時、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0091】＜第3の実施形態＞図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第3の実施形態について、図面を参照して説明する。図9は、本実施形態における通常画素の構成を示す回路図である。又、図10、図11は、本実施形態における補正用画素の構成を示す回路図である。

【0092】1. 通常画素の構成

図9の画素において、図3の画素と同一の目的で使用される素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。図9の画素は、図3の画素に、MOSトランジスタT1のドレイン及びゲートの接続ノードにゲートが接続されるとともにMOSトランジスタT2のゲートにソースが接続されたMOSトランジスタT5と、MOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに一端が接続されるとともに他端に直流電圧VPSが印加されたキャパシタCとが設けられる。

【0093】又、MOSトランジスタT5のドレインには信号φDが与えられる。又、MOSトランジスタT5は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。又、MOSトランジスタT1、T5及びフォトダイオードPD及びキャパシタCによって光電変換回路が形成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が形成される。

【0094】このような回路構成の画素において、信号φDをハイレベル（例えば、直流電圧VPDと略等しい電圧）として撮像動作を開始したとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T5のゲートに発生する。この電圧により、MOSトランジスタT5に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT5のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じる。ただし、このとき、MOSトランジスタT3はOFFの状態であるとする。

【0095】次に、MOSトランジスタT3のゲートにハルス信号φVを与えて、MOSトランジスタT3をONにすると、MOSトランジスタT2のゲートにかかる

電圧に比例した電流がMOSトランジスタT2、T3を
通って出力信号線5に導出される。今、MOSトランジ
スタT2のゲートにかかる電圧は、接続ノードaにかか
る電圧であるので、出力信号線5に導出される電流は前
記光電流の積分値を自然対数的に変換した値となる。こ
のようにして、画像データが出力されるとともに、この
画像データが、上述したように、スイッチSaをONと
することで、信号線5及びスイッチSaを介してキャパ
シタCaに与えられる。

【0096】そして、画像データ出力後、スイッチSa 10
及びトランジスタT3をOFFする。この後、トランジ
スタT3をOFFとするとともに信号φDをローレベル
(例えば、信号φVPSよりも低い電圧)にしてトランジ
スタT5を通して信号φDの信号線路へキャパシタCに
蓄積された電荷を放電することによって、キャパシタC
及び接続ノードaの電位が初期化される。このとき、M
OSTランジスタT3を再びONとするとともにスイッ
チSbをONとすることによって、各画素毎に発生する
ノイズ成分が信号線5及びスイッチSbを介してキャパ
シタCbに与えられる。このようにノイズ成分が出力さ
れると、スイッチSb及びMOSTランジスタT3がO 20
FFとなる。

【0097】このような構成にすることによって、画素
から出力される信号が、一旦キャパシタCで積分された
信号となるので、光源の変動成分や高周波のノイズがキ
ャパシタで吸収されて除去される。

【0098】2. 補正用画素の構成の第1例

通常画素が図9のような回路構成で構成されるとき
の、補正用画素の構成の一例について、図10を参照して説
明する。尚、図10の構成において、図9の画素と同一
の構成部分については、同一の符号を付してその説明は
省略する。

【0099】図10の画素は、図9の画素に、ドレイン
がMOSTランジスタT2のゲートとMOSTランジスタ
T5のソースとの接続ノードに接続されたMOSTラン
ジスタT4が設けられた構成の画素である。このMO
SトランジスタT4は、ソースに直流電圧VDが与えら
れるとともに、ゲートに信号φVRSが与えられる。又、
MOSTランジスタT4は、MOSTランジスタT1～ 40
T3と同様、そのバックゲートが接地されたNチャネル
のMOSTランジスタである。即ち、本例における補正
用画素と本実施形態における通常画素との関係が、第1
の実施形態における第1例(図4)のような回路構成の
補正用画素と通常画素(図3)と同様の関係となる。

【0100】このような構成の画素において、第1の実
施形態と同様、まず、信号φVRSがハイレベルとなり、
MOSTランジスタT4がONとなることによって、M
OSTランジスタT2のゲートに直流電圧VDが与えら
れる。そして、MOSTランジスタT3にパルス信号φ
Vを与えることによって、MOSTランジスタT2は、 50

そのゲートに与えられた直流電圧VDに応じてソース電
流を、MOSTランジスタT3を介して信号線5に出力
電流として出力する。

【0101】このとき、MOSTランジスタT2がソー
スフォロワ型のMOSTランジスタとして動作し、信号
線5には補正データが電圧信号として現れる。又、MO
SトランジスタT3を介して出力される出力信号は、M
OSTランジスタT2のゲート電圧に比例した値となる
ため、直流電圧VDに応じた信号となる。この補正デー
タは、上述したように、スイッチSaをONとすること
で、信号線5及びスイッチSaを介してキャパシタCa
に与えられる。

【0102】このように、キャパシタCaに補正データ
が格納された後、MOSTランジスタT3及びスイッチ
SaがOFFとなるとともに、スイッチSbをONとす
ることによって、各画素毎に発生するノイズ成分が信号
線5及びスイッチSbを介してキャパシタCbに与えら
れる。又、このとき、信号φVRSはローレベルである。

【0103】このようにして出力された補正データは、
信号線5-1～5-m(図1)に接続されたMOSTラン
ジスタQ1(図1)の特性のバラツキを表す信号とな
る。尚、このように通常画素とほぼ同様の構成とすること
によって、光電変換回路のポテンシャル状態の影響を
受けた補正データを出力することができる。よって、通
常画素の状態に近い状態における補正データを出力する
ことができる。

【0104】3. 補正用画素の構成の第2例

通常画素が図9のような回路構成で構成されるとき
の、補正用画素の構成の一例について、図11を参照して説
明する。尚、図11の構成において、図10の画素と同一
の構成部分については、同一の符号を付してその説明
は省略する。

【0105】図11の画素は、図10の画素と比べて、
MOSTランジスタT5のソースとキャパシタCとの接
続ノードと、MOSTランジスタT2のゲートとMOST
トランジスタT4のソースとの接続ノードとが接続され
ていない点異なる。よって、光電変換回路を構成する
MOSTランジスタT5のソースとキャパシタCとの接
続ノードに現れる電圧が出力増幅回路を構成するMO
SトランジスタT2のゲートに与えられない。即ち、本例
における補正用画素と本実施形態における通常画素との
関係が、第1の実施形態における第2例(図5)のよう
な回路構成の補正用画素と図3のような回路構成の通常
画素と同様の関係となる。

【0106】このような構成の画素において、図10の
画素と同様、まず、信号φVRSがハイレベルとなり、M
OSTランジスタT4がONとなることによって、MO
SトランジスタT2のゲートに直流電圧VDが与えら
れる。そして、MOSTランジスタT3にパルス信号φV
を与えることによって、MOSTランジスタT2は、そ

のゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0107】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0108】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φVRSはローレベルである。

【0109】このようにして出力された補正データは、信号線5-1〜5-m（図1）に接続されたMOSトランジスタQ1（図1）の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0110】4. 補正用画素の構成の第3例

本例で使用される補正用画素は、第1の実施形態の第2例における補正用画素と同様、図5のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図11）の回路構成の補正用画素と比べて、MOSトランジスタT5及びキャパシタCを削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0111】5. 補正用画素の構成の第4例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第3例（図5）の回路構成の補正用画素と比べて、光電変換回路を削除

した構成となるため、更に、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0112】尚、図9のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を受けた値として出力される。このとき、本実施形態の第1例〜第4例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0113】＜第4の実施形態＞図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第4の実施形態について、図面を参照して説明する。図12は、本実施形態における通常画素の構成を示す回路図である。又、図13、14は、本実施形態における補正用画素の構成を示す回路図である。

【0114】1. 通常画素の構成

図12の画素において、図9の画素と同一の目的で使用される素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。この図12の画素は、図9の画素に、MOSトランジスタT1のドレイン及びゲートとMOSトランジスタT5のゲートとの接続ノードにドレインが接続されたMOSトランジスタT6が設けられる。

【0115】MOSトランジスタT1のソース及びキャパシタCの一端に信号φVPSが入力され、MOSトランジスタT6のソースに直流電圧VPGが印加されるとともに、そのゲートに信号φRSが入力される。又、MOSトランジスタT6は、MOSトランジスタT1〜T3、T5と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。又、MOSトランジスタT1、T5、T6及びフォトダイオードPD及びキャパシタCによって光電変換回路が形成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が形成される。

【0116】尚、第2の実施形態と同様、信号φVPSは、2値的に変化するものとし、MOSトランジスタT1、T5をサブスレッショルド領域で動作させるための電圧をローレベルとし、直流電圧VPDと略等しい電圧をハイレベルとする。よって、このような回路構成の通常画素は、第2の実施形態と同様、信号φVPSの電圧値を変更することによって、フォトダイオードPDで発生した光電流に対して自然対数的に又は線形的に変換した画像データを出力することができる。

【0117】この実施形態において、出力電流を光電流

に対して自然対数的に変換させる場合は、信号 ϕ RSを常にローレベルとしてMOSトランジスタT6をOFF状態に固定し、信号 ϕ VPSをローレベルにするとともに、信号 ϕ Dをハイレベル（例えば、直流電圧VPDと略等しい電圧）にして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT2のゲートにかかる電圧に比例した電流をMOSトランジスタT2、T3を通して出力信号線5に導出することで画像データが出力される。このようにして、画像データが出力されるとともに、この画像データが、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0118】その後、スイッチSa及びMOSトランジスタT3をOFFするとともに信号 ϕ Dをローレベル（例えば、信号 ϕ VPSよりも低い電圧）にすると、キャパシタCの電荷がMOSトランジスタT5を通して信号 ϕ Dの信号線路へ放電され、それによって、キャパシタC及び接続ノードaの電圧が初期化される。このとき、MOSトランジスタT3を再びONとするとともにスイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。このようにノイズ成分が出力されると、MOSトランジスタT3がOFFとなる。

【0119】これに対して、出力電流を光電流に対して線形的に変換させる場合は、まず、信号 ϕ RSをローレベルにしてMOSトランジスタT6をOFFにして、信号 ϕ VPSの電圧をハイレベルにするとともに信号 ϕ Dをハイレベルにする。これに先だって、MOSトランジスタT5を用いた初期化動作を行うことによって、第3の実施形態と同様に接続ノードaが直流電圧VPDより低い電圧となっている。このような状態で、光電流の積分値を線形的に変換した値と同等の電荷をキャパシタCに蓄積する。

【0120】そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT2のゲートにかかる電圧に比例した電流をMOSトランジスタT2、T3を通して出力信号線5に導出することで画像データが出力される。このようにして、画像データが出力されるとともに、この画像データが、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0121】その後、まず、スイッチSa及びMOSトランジスタT3をOFFするとともに信号 ϕ DをローレベルにしてキャパシタCの電荷をMOSトランジスタT5を通して信号 ϕ Dの信号線路に放電して、接続ノードaの電圧を例えば信号 ϕ VPSの電圧より低い電圧に初期化する。続いて、MOSトランジスタT6をONして、フォトダイオードPD、MOSトランジスタT1のドレ

イン電圧、及びMOSトランジスタT1、T5のゲート電圧を初期化する。このとき、MOSトランジスタT3を再びONとするとともにスイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。このようにノイズ成分が出力されると、スイッチSb及びMOSトランジスタT3がOFFとなる。

【0122】2. 補正用画素の構成の第1例

通常画素が図12のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図13の構成において、図12の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0123】図13の画素は、図12の画素に、ドレインがMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されたMOSトランジスタT4が設けられた構成の画素である。このMOSトランジスタT4は、ソースに直流電圧VDが与えられるとともに、ゲートに信号 ϕ VRSが与えられる。又、MOSトランジスタT4は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第1例（図4）のような回路構成の補正用画素と通常画素（図3）と同様の関係に対応する。

【0124】このような構成の画素において、第2の実施形態と同様、通常画素が自然対数的に変換した出力信号を画像データとして出力するときは、信号 ϕ VPSをローレベルとし、又、通常画素が線形的に変換した出力信号を画像データとして出力するときは、信号 ϕ VPSをハイレベルとする。このように、信号 ϕ VPSを、画像データを出力する通常画素と同様の状態にした後、まず、信号 ϕ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号 ϕ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0125】このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0126】このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチ

10

20

30

40

50

S aがOFFとなるとともに、スイッチS bをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS bを介してキャパシタC bに与えられる。又、このとき、信号φ VRSはローレベルである。

【0127】このようにして出力された補正データは、信号線5-1～5-m（図1）に接続されたMOSトランジスタQ 1（図1）の特性のバラツキを表す信号となる。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

【0128】2. 補正用画素の構成の第2例

通常画素が図12のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図14の構成において、図13の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0129】図14の画素は、図13の画素と比べて、MOSトランジスタT 5のソースとキャパシタCとの接続ノードと、MOSトランジスタT 2のゲートとMOSトランジスタT 4のドレインとの接続ノードとが接続されていない点異なる。よって、光電変換回路を構成するMOSトランジスタT 5のソースとキャパシタCとの接続ノードに現れる電圧が出力増幅回路を構成するMOSトランジスタT 2のゲートに与えられない。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第2例（図5）のような回路構成の補正用画素と図3のような回路構成の通常画素と同様の関係となる。

【0130】このような構成の画素において、第2の実施形態と同様、通常画素が自然対数的に変換した出力信号を画像データとして出力するときは、信号φ VPSをローレベルとし、又、通常画素が線形的に変換した出力信号を画像データとして出力するときは、信号φ VPSをハイレベルとする。このように、信号φ VPSを、画像データを出力する通常画素と同様の状態にした後、まず、信号φ VRSがハイレベルとなり、MOSトランジスタT 4がONとなることによって、MOSトランジスタT 2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT 3にパルス信号φ Vを与えることによって、MOSトランジスタT 2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT 3を介して信号線5に出力電流として出力する。

【0131】このとき、MOSトランジスタT 2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT 3を介して出力される出力信号は、MOSトランジスタT 2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチS aをONとすること

で、信号線5及びスイッチS aを介してキャパシタC aに与えられる。

【0132】このように、キャパシタC aに補正データが格納された後、MOSトランジスタT 3及びスイッチS aがOFFとなるとともに、スイッチS bをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS bを介してキャパシタC bに与えられる。又、このとき、信号φ VRSはローレベルである。

【0133】このようにして出力された補正データは、信号線5-1～5-m（図1）に接続されたMOSトランジスタQ 1（図1）の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0134】4. 補正用画素の構成の第3例

本例で使用される補正用画素は、第2の実施形態の第2例における補正用画素と同様、図8のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第2の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図14）の回路構成の補正用画素と比べて、MOSトランジスタT 5、T 6及びキャパシタCを削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0135】5. 補正用画素の構成の第4例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第3例（図8）の回路構成の補正用画素と比べて、光電変換回路を削除した構成となるため、更に、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0136】尚、図12のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ 1の影響を受けた値として出力される。このとき、本実施形態の第1例～第4例で説明したような構成の補正用画素より

補正データが出力されるとき、差動増幅回路 11 (図 1) において、差動増幅回路 12 でノイズ成分が除去された補正データとの差分をとることにより、MOS トランジスタ Q1 の影響を受けたバラツキ成分を除去することができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0137】尚、通常画素の構成については、第 1～第 4 の実施形態 (図 3、図 7、図 9、図 12) のような回路構成に限定されるものではなく、光電変換回路を構成する各素子の接続状態が上記各実施形態のものとは異なるような回路構成のものや、極性が逆になる P チャンネルの MOS トランジスタを用いた回路構成のものなどでも構わない。

【0138】又、このように通常画素の構成が変更されたとき、補正用画素は、第 1～第 4 の実施形態の第 1 例のように、光電変換回路と出力増幅回路との接続ノードにソースが接続されるような MOS トランジスタ T4 を設けた構成としても構わない。又、第 1～第 4 の実施形態の第 2 例のように、増幅出力回路の入力側に MOS トランジスタ T4 が設けられるとともに、光電変換回路と増幅出力回路との接続を切断したような回路構成としても構わない。

【0139】又、第 3、第 4 の実施形態の第 3 例のように、光電変換回路をその一部となるフォトダイオードなどの光電変換素子周辺の回路のみで構成し、増幅出力回路の入力側に MOS トランジスタ T4 が設けられるとともに、光電変換回路と増幅出力回路との接続を切断したような回路構成としても構わない。又、第 1、第 2 の実施形態の第 3 例及び第 3、第 4 の実施形態の第 4 例のように、増幅出力回路と、増幅出力回路の入力側に設けられた MOS トランジスタ T4 とで構成しても構わない。

【0140】尚、本実施形態において、図 1 のように、補正用画素を 1 行だけ設けたエリアセンサとしたが、このような補正用画素を複数行設け、各列毎に設けられた複数の補正用画素より与えられる出力に基づく補正データを生成するようにしてもよい。例えば、複数の補正用画素より与えられる出力の平均値を補正データとするような構成のエリアセンサとしても構わない。更に、複数行の補正用画素が設けられたとき、前記ラインメモリをエリアメモリとして、複数行の補正用画素からの出力を記憶するようにしても構わない。

【0141】

【発明の効果】本発明の固体撮像装置によると、各列毎に補正用画素を設け、この補正用画素から出力される補正信号に基づいて、各列毎に設けられた出力信号線を介して出力される通常画素からの出力信号を補正することができるため、従来、このように列毎に出力信号線が設けられることに起因して発生する縦縞を防ぐことができる。

【図面の簡単な説明】

【図 1】本発明のエリアセンサの内部構成を示すブロック図。

【図 2】図 1 のエリアセンサの一部を示す回路図。

【図 3】通常画素の構成を示す回路図の 1 例。

【図 4】補正用画素の構成を示す回路図の 1 例。

【図 5】補正用画素の構成を示す回路図の 1 例。

【図 6】補正用画素の構成を示す回路図の 1 例。

【図 7】通常画素の構成を示す回路図の 1 例。

【図 8】補正用画素の構成を示す回路図の 1 例。

【図 9】通常画素の構成を示す回路図の 1 例。

【図 10】補正用画素の構成を示す回路図の 1 例。

【図 11】補正用画素の構成を示す回路図の 1 例。

【図 12】通常画素の構成を示す回路図の 1 例。

【図 13】補正用画素の構成を示す回路図の 1 例。

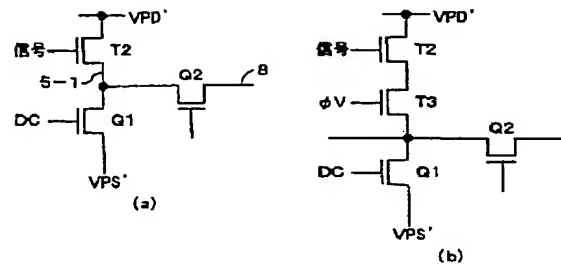
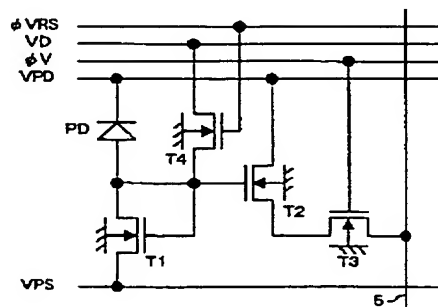
【図 14】補正用画素の構成を示す回路図の 1 例。

【図 15】従来のエリアセンサの内部構成を示すブロック図。

【符号の説明】

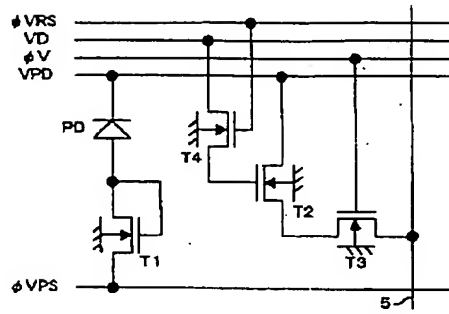
- 1 垂直走査回路
- 2 水平走査回路
- 3-1～3-n ライン
- 4 電圧供給線
- 5-1～5-m 出力信号線
- 6, 7 直流電圧線
- 8 信号線
- 9 出力切換回路
- 10 ラインメモリ
- 11 差動増幅回路
- G11～Gmn 画素
- PD フォトダイオード
- T1～T6 第 1～第 6 MOS トランジスタ
- C キャパシタ

【図2】

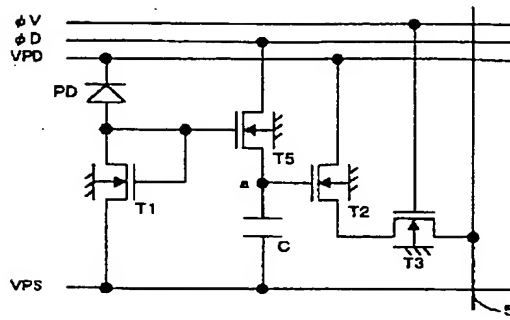
[illegible][illegible]

The circuit diagram shows a differential pair of NMOS transistors T1 and T2. Their sources are connected to ground (VPS). The gates of T1 and T2 are connected to a common bias point, which is also the source of PMOS transistor T3. The drain of T3 is connected to VDD (VD). A PMOS load transistor T4 has its gate connected to VDD and its source to the drains of T1 and T2. Its drain is connected to VDD. A photodiode PD is connected between VDD and the source of T4.

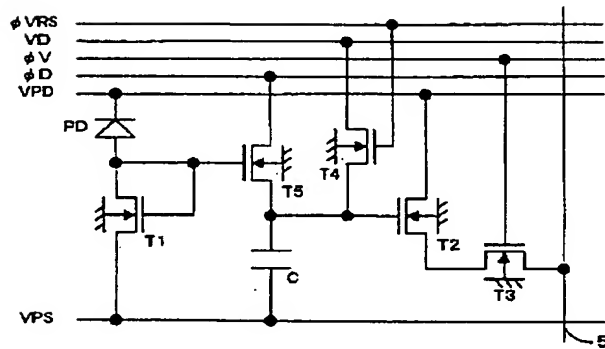
【図 8】



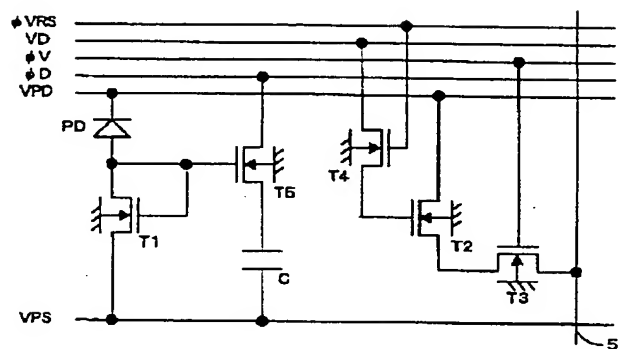
【図 9】



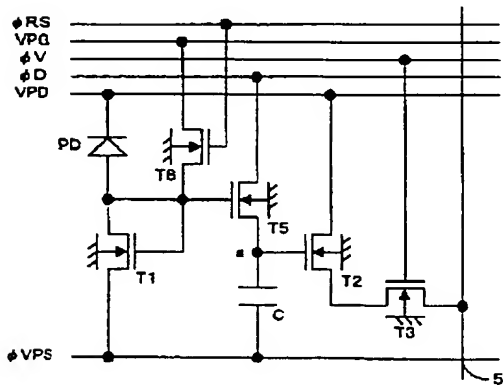
【図 10】



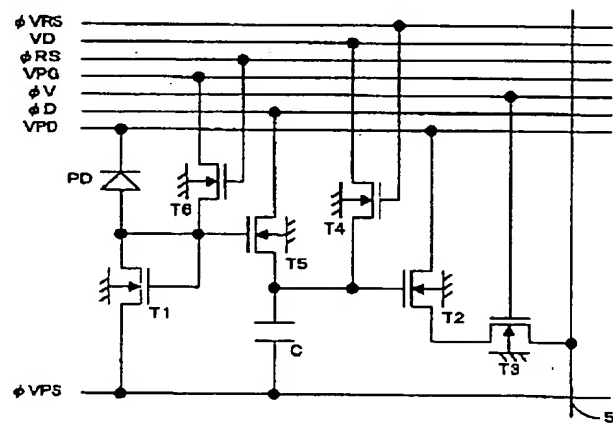
【図 11】



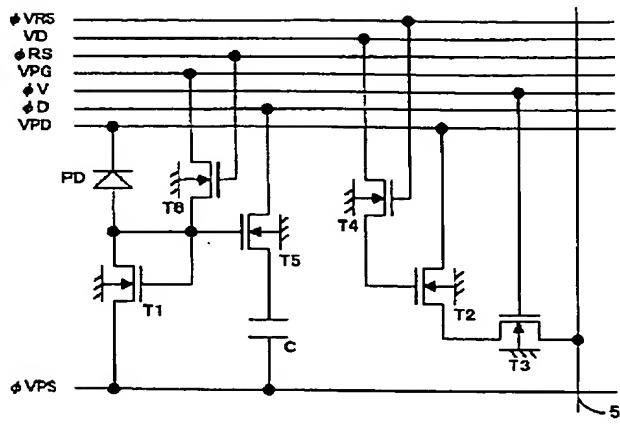
【図 12】



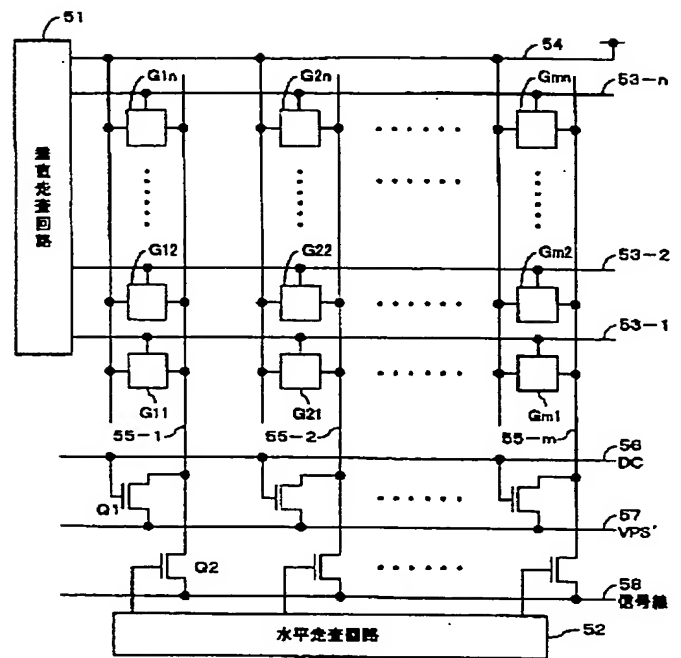
【図 13】



【図 14】



【図 15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)